

Индивидуальные проекты (затем – часть Вашего РСІ-проекта)

I. Разработайте принципиальную электрическую схему, используя микросхемы серии 74F, 74ALS или 74LS. Первыми указаны более предпочтительные к использованию серии. Проверьте наличие модели ИС в VHDL библиотеке перед использованием ИС в проекте!)

1. 8-битного сумматора (простой иерархический проект).
2. 8-битного сумматора (сложный иерархический проект).
3. 32-битного сумматора (сложный иерархический проект).
4. 16-битного сумматора (сложный иерархический проект).
5. 64-битного регистра данных (плоский проект).
6. 256-битного регистра данных (иерархический проект).
7. Мультиплексора-переключателя 2-х 32-разрядных шин.
8. Мультиплексора-переключателя 4-х 32-разрядных шин.
9. 8-разрядного двоично-десятичного счетчика (BCD - Binary Coded Decimal, плоский проект).
10. 16-разрядного двоично-десятичного счетчика (BCD - Binary Coded Decimal, иерархический проект).
11. 64-битного сдвигового регистра данных (плоский проект).
12. 256-битного сдвигового регистра данных (простой иерархический проект).
13. Задержки на 2^{32} такта на основе последовательно включенных двоичных счетчиков (плоский проект).
14. Задержки на 2^{64} такта на основе последовательно включенных двоичных счетчиков (плоский проект).
15. Задержки на 2^{128} такта на основе последовательно включенных двоичных счетчиков (плоский проект).
16. Построить систему временного (на один цикл) хранения данных и адреса, передаваемых по 32-битной мультиплексированной шине. (Использовать регистры 74F374, проект - плоский).
17. 32-битного сумматора (сложный иерархический проект с 3-х уровневой иерархией: полный сумматор 1-разрядный сумматор, сумматор 16-разрядного слова, верхний уровень).
18. 8-битного кодера/декодера по Грью (простой иерархический проект с 2-х уровневой иерархией: на верхнем уровне последовательно соединенные кодер и декодер, на нижнем уровне – вентильная реализация кодера и декодера в отдельных схематических каталогах).
19. Построить систему временного (на один цикл) хранения данных и адреса, передаваемых по 32-битной мультиплексированной шине. (Использовать регистры 74F374, проект – простая иерархия: на верхнем уровне – шина, 32-х разрядные регистры данных и адреса, на нижнем уровне – реализация этих регистров на основе 8-разрядных регистров 74F374).

20. Задержки на 2^{128} такта на основе последовательно включенных двоичных счетчиков (проект со сложной иерархией: верхний уровень – четыре блока с задержкой 2^{32}). Можно использовать любые счетчики, для которых есть VHDL модели, например, 74LS93.
21. Тоже, что и предыдущем задании, но для задержки 2^{256} и 8-ми блоков.
22. Тоже, что и предыдущем задании, но для задержки 2^{512} и 16-и блоков.
23. Тоже, что и предыдущем задании, но проект с простой иерархией, на верхнем уровне – 4 блока с задержкой 2^{16} . Т.о. суммарная задержка - 2^{64} .
24. 4-битного сумматора (простой иерархический проект).
25. 4-битного сумматора (сложный иерархический проект).
26. 6-битного сумматора (сложный иерархический проект).
27. 12-битного сумматора (сложный иерархический проект).
28. 10-битного сумматора (простой иерархический проект).
29. 14-битного сумматора (простой иерархический проект).
30. Задержки на 2^{120} такта на основе последовательно включенных двоичных счетчиков (плоский проект).
31. 5-битного сумматора (простой иерархический проект).
32. 32-битного логического инвертора (простой иерархический проект).
33. 32-битного B-Endian L-Endian конвертер (простой иерархический проект).
34. 32-битного B-Endian L-Endian байтовый конвертер (простой иерархический проект).
35. 256-битного сдвигового регистра данных (сложный иерархический проект).
36. Логическое устройство выполнения операции «И» над двумя 32-разрядными операндами. Входные операнды и результат запоминаются на регистрах. (плоский проект).
37. Логическое устройство выполнения операции «ИЛИ-НЕ» над двумя 32-разрядными операндами. Входные операнды и результат запоминаются на регистрах. (плоский проект).
38. Логическое устройство выполнения операции «XOR» над двумя 32-разрядными операндами. Входные операнды и результат запоминаются на регистрах. (плоский проект).

II. Проведите функциональное моделирование устройства (Tools -> Simulate), используя такую последовательность входных сигналов в файле входных воздействий (stimulus file) симулятора, которая позволила бы сравнить результаты моделирования с известными из курса по электронике таблицами истинности и временными диаграммами. Длительность логического состояния во входном сигнале (stimulus file) не должна быть меньше 50 ns для ИС серии ALS и 10 ns для ИС серии F.

